

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-279540

(43)Date of publication of application : 09.11.1989

(51)Int. CI.

H01J 1/30

H01J 37/04

(21)Application number : 63-107568

(71)Applicant : CANON INC

(22)Date of filing : 02.05.1988

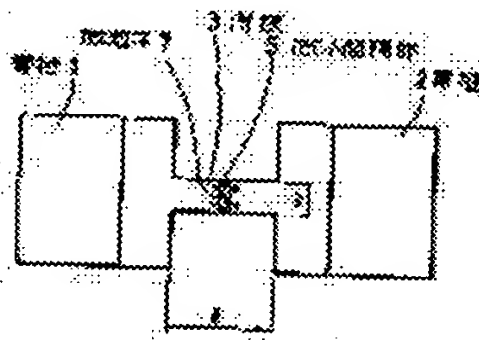
(72)Inventor : KANEKO TETSUYA  
NOMURA ICHIRO  
SAKANO YOSHIKAZU  
TAKEDA TOSHIHIKO

## (54) ELECTRON EMITTING ELEMENT

(57)Abstract:

PURPOSE: To perform individually appropriate selection of material, design, and manufacture by providing a micro-gap in a film by mean of current supply heating, and locating an electron emitting member in this micro-gap.

CONSTITUTION: Fine particles 7 consisting of metal or semiconductor are dispersed in an insulative liquid coating material, and it is coated over a base board 4 followed by a baking process to form a support 6 including fine particles 7. Further a film 3 in a specified shape consisting of metal or semiconductor is formed on this support 6, and conductive metal is deposited on the two ends of this film 3 to form electrodes 1, 2. When thereafter current is supplied to these electrodes 1, 2, cracks are initiated in the middle of the film 3, and a micro-gap 5 is formed in the film 3. Therein the support 6 lies as foundation for the film 3, and an electron emitting element is obtained in which the fine particles 7 are partially arranged in the uncontinuous film part at the micro-gap 5 as an electron emitting member. This enables individual manufacture of electron emitting elements and the gaps 5, which allows selection of suitable material, manufacture, and design for respective components.





DIALOG(R)File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

008108764 \*\*Image available\*\*

WPI Acc No: 1989-373875/ 198951

Surface conductive electron emitting element - by separating electron  
emitter from minute gap of thin film to use material independently

NoAbstract Dwg 1/5

Patent Assignee: CANON KK (CANO )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1279540	A	19891109	JP 88107568	A	19880502	198951 B

Priority Applications (No Type Date): JP 88107568 A 19880502

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 1279540	A		5		

Title Terms: SURFACE; CONDUCTING; ELECTRON; EMIT; ELEMENT; SEPARATE;  
ELECTRON; EMITTER; MINUTE; GAP; THIN; FILM; MATERIAL; INDEPENDENT;  
NOABSTRACT

Derwent Class: U12; V05

International Patent Class (Additional): H01J-001/30; H01J-037/04

File Segment: EPI

Manual Codes (EPI/S-X): U12-B03X; V05-F03; V05-L01; V05-M03



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-279540

⑬ Int. Cl.<sup>4</sup>

H 01 J 1/30  
37/04

識別記号

庁内整理番号

A-6722-5C  
Z-7013-5C

⑭ 公開 平成1年(1989)11月9日

審査請求 未請求 請求項の数 4 (全8頁)

⑮ 発明の名称 電子放出素子

⑯ 特 願 昭63-107568

⑰ 出 願 昭63(1988)5月2日

⑱ 発 明 者	金 子 哲 也	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	野 村 一 郎	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	坂 野 嘉 和	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	武 田 俊 彦	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑲ 出 願 人	キャノン株式会社	東京都大田区下丸子3丁目30番2号	
⑳ 代 理 人	弁理士 豊田 善雄		

明 細 書

1. 発明の名称

電子放出素子

2. 特許請求の範囲

(1) 基板上に少なくとも薄膜と一对の電極とを設けた電子放出素子において、薄膜には通電加熱処理によって微小間隔部が形成され、この微小間隔部に電子放出体が位置することを特徴とする電子放出素子。

(2) 電子放出体が、基板上に直接配置される又は基板と薄膜との間に設けられた支持体中に分散される、電子放出可能な微粒子である請求項1記載の電子放出素子。

(3) 電子放出体が、電子放出可能な電子放出膜である請求項1記載の電子放出素子。

(4) 基板上に段差形成材を設けて段差部を形成し、この段差部に薄膜の微小間隔部が形成されている請求項1記載の電子放出素子。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は電子放出素子、詳しくは表面伝導形電子放出素子に関するものである。

【従来の技術】

従来、簡単な構造で電子の放出が得られる素子として、例えば、エム アイ エリンソン(B. I. Elinson)等によって発明された冷陰極素子が知られている。【ラジオ エンジニアリング エレクトロン フィジックス(Radio Eng. Electron. Phys.)第10巻, 1290~1298頁, 1985年】

これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するもので、一般には表面伝導形放出素子と呼ばれている。

この表面伝導形放出素子としては、前記エリンソン等により開発された $\text{SnO}_2(\text{Sb})$ 薄膜を用いたもの、Au薄膜によるもの【ジー・ディトマー・スイン ソリッド フィルムズ(G. Dittmer: "Thin Solid Films"), 9巻, 317頁, (1972年)], ITO 薄膜によるもの【エム ハートウェル

アンド シー ジー フォンスタッド “アイ  
イー イー イー トランス” イー ディー コ  
ンフ (M. Bartwell and G. G. Fonstad: “IEEE  
Trans., ED Conf.”) 518 頁, (1975年)],  
カーボン薄膜によるもの【荒木久他: “真空”,  
第28巻, 第1号, 22頁, (1988年)】などが報告  
されている。

これらの表面伝導形放出素子の典型的な素子構  
成を第7図に示す。同図において、1および2は  
電気的接続を得る為の電極、3は電子放出材料で  
形成される薄膜、4は基板、11は電子放出部を示  
す。

従来、これらの表面伝導形放出素子に於ては、  
電子放出を行なう前にあらかじめフォーミングと  
呼ばれる通電加熱処理によって電子放出部を形成  
する。即ち、前記電極1と電極2の間に電圧を印  
加する事により、薄膜3に通電し、これにより発  
生するジュール熱で薄膜3を局部的に破壊、変形  
もしくは変質せしめ、電気的に高抵抗な状態にし  
た電子放出部11を形成することにより電子放出機

能を得ている。

【発明が解決しようとしている課題】

しかしながら、上記の様な通電加熱処理による  
電子放出素子には下記の様な問題があった。

① 通電加熱の際、基板と薄膜の熱膨張係数の違  
いから、薄膜が剥離する。また、基板も局部的に  
加熱されるため、致命的な割れを生ずる場合があ  
る。このため加熱温度の上限や基板材料、薄膜材  
料の選択の組み合わせに制限がある。特に薄膜が  
高融点材料や高抵抗薄膜では通電加熱処理による  
フォーミングは難しく、これらの材料を電子放出  
材として使用することは非常に困難であった。

② フォーミングが完了するまでには、比較的大  
電力を必要とするが、薄膜材料が高融点材では  
特に大電力を必要とする。例えば第7図で $l =$   
 $0.5\text{mm}$ 、 $w = 0.3\text{mm}$ 、厚み約 $500\text{Å}$ の $\text{SnO}_2(\text{Pb})$ 膜  
のフォーミングに要する電力量は約 $1.5\text{W}$ 程度で  
あった。よって薄膜材料によっては、多数素子の  
フォーミングのためには大容量の電源が必要で  
あった。

以上のような問題点があるため表面伝導形電子  
放出素子は、素子構造が簡単であるという利点  
があるにもかかわらず、産業上積極的に応用される  
には至っていなかった。

【課題を解決するための手段】

本発明は、上記の様な従来例の欠点を解決する  
ためになされたものである。従来、通電加熱に  
よってフォーミングされた薄膜の高抵抗部では、  
薄膜に亀裂が生じ $1\mu\text{m}$ 以下の微小間隔部ができ、  
さらに微小間隔部内に微粒子から成る島状構造を  
有している。この微小間隔部及び島状構造は、薄  
膜に用いた材料で構成される。本発明では、通電  
処理により薄膜に微小間隔部を形成し、この微小  
間隔部内に電子放出体を別途設ける。これにより  
電子放出にかかわる電子放出体とそこへ高電界を  
与える薄膜の微小間隔部とを製法及び材料で分離  
し各々適した材料を選択、製造設計することがで  
きる電子放出素子を提供することを目的とするも  
のである。

即ち、本発明は、基板上に少なくとも薄膜と一

対の電極とを設けた電子放出素子において、薄膜  
には通電加熱処理によって微小間隔部が形成さ  
れ、この微小間隔部に電子放出体が位置すること  
を特徴とする電子放出素子に関する。

ここで電子放出体は、(1)基板上に直接配置さ  
れる又は基板と薄膜との間に設けられた支持体中  
に分散される、電子放出可能な微粒子、あるいは  
(2)電子放出可能な電子放出膜である。

また、基板上に段差形成材を設けて段差部を形  
成し、この段差部に薄膜の微小間隔部が形成され  
ている電子放出素子に関する。

以下、本発明を詳細に説明する。

第1図(a)～(d)は本発明の電子放出素子の製  
造方法の一例を示す工程図であり、第2図は本発  
明の電子放出素子の平面図である。

電子放出素子を得るには、まず、金属又は半導  
体からなる微粒子7を絶縁性の液体コーティング  
剤に分散させ、これを基板4上に塗布、施成し、  
微粒子7を含む支持体8を形成する(第1図(a)  
参照)。この後、微粒子7を支持体8の表面へよ



り突出させた形状とするため、支持体8の表面を少々エッチングしてもよい。

次に、第2図に示す形状の金属又は半導体等からなる薄膜3を支持体8上に形成する(第1図(b)参照)。

さらに、第2図に示す形状の導電性金属を薄膜3の両端に堆積、形成することによって電極1、2を形成する(第1図(c)参照)。

その後、電極1、2に通電処理を施すと薄膜3の中央部分に亀裂が生じ薄膜の微小間隔部5が形成される。この微小間隔部は通電により発生したジュール熱で薄膜3が局所的に破壊、変形した部分である。この薄膜の通電処理による微小間隔部に関し、一般には、薄膜3が局所的に不連続部となり、また薄膜3が表面伝導形電子放出素子として用いられる材料であれば不連続部には、薄膜3の材質からなる微粒子が配設された形状となっており、これより電子放出が得られる。

しかし、もしも薄膜3が表面伝導形電子放出素

子として用いられない様な導電性材料で、かつ電子放出体を有さない部材上の薄膜の通電処理だけであると、電子放出を得るまでには至らない。

ここまでの製造工程により、薄膜3の下地には支持体8があり、部分的に微粒子7が電子放出体として微小間隔部5の不連続な薄膜部に配設された構造の電子放出素子が得られる(第1図(d)参照)。

このようにして形成された素子を真空容器中で電極1、2間に電圧を印加し、素子上部へ引き出し電極(図示せず)にて高電圧を印加すると、微粒子7を含む薄膜3の微小間隔部5より電子が放出される。

他方、基板4上の支持体の形状端により段差部を形成し、この段差部を電子放出部とすることができ、第3図(a)～(d)にかかる図様の電子放出素子の製造工程を示す。

まず、上述例と同様にして微粒子7を含む支持体を堆積する。その後、この支持体をフォトリソエッチング法等により基板4のほぼ中心部分より

半分を取り除き、段差部を有する支持体8を形成する(第3図(a)参照)。

次いで、支持体8及び基板4上に第2図に示す形状の金属又は半導体等からなる薄膜3を段差部で電気的に断線しないように堆積、形成する(第3図(b)参照)。

さらに上述例と同様にして電極1、2を堆積形成する。但し、電極1、2は電子放出のため外部より印加する電圧の電気的接続を良好とするためのものであって、次の通電処理工程を大きく左右するものではない。これは、後述するように本例によれば、通電処理に要する電力量を小さくすることができ、従来のように電極形状によるフォーミング時におけるジュール熱の発生位置や材料の熱伝導、熱膨張等をあまり考慮しなくても、良好な通電処理がされるためである(第3図(c)参照)。

その後、電極1、2に通電処理を施すと薄膜3の段差部に亀裂が生じ、薄膜の微小間隔部が形成される。この微小間隔部は通電により発生した

ジュール熱で薄膜3が局所的に破壊、変形した部分であり、特に段差部側壁の薄膜3は膜厚や膜質が他部分の薄膜とは異なるために該段差部において薄膜3は亀裂を生じやすい。

すなわち本例においては、亀裂の生じる薄膜の位置を、支持体8の段差位置と薄膜3の形状によって特定することができる。また、段差部側壁の薄膜3は他部分の薄膜に比べ膜厚を薄く、膜強度の弱い状態とすることが容易であり、通電処理によるジュール熱で亀裂が生じやすい薄膜と言える。従って、通電処理に要する電力量は上述例に比べると少量でよいことになる。さらには、該支持体段差部側壁の薄膜3の高さ領域は、支持体8の層厚高さと同様であり、薄膜3の堆積厚みにより制御することが出来る。よって薄膜3の亀裂の生じやすい領域を制御することが可能であり、さらには、電子放出部となる微小間隔部5の不連続薄膜の領域も制御することが可能となる。

ここまでの製造工程により、微小間隔部5の不連続な薄膜部に支持体8の段差部側壁に位置し、

突出した微粒子7が配設された構造となり電子放出素子が得られる(第3図(d)参照)。

なお、上述の例では、支持体8を完全に下地基板4の表面が露出するまでエッチングしたが、下地基板4の表面までエッチングせず、支持体8の面のみで段差部を形成してもよい。

以上第1図～第3図によって、電子放出体である微粒子が支持体に分散含有されている電子放出素子の例を示したが、別途実施例で述べるように、微粒子を部材表面上や部材上の段差形成部表面上に配設した場合や、電子放出体を薄膜とし該薄膜を支持体に支持した段差部を形成した場合でも、同様な電子放出素子を得ることができる。

以上の例で示した本発明において、電子放出にかかわる微小間隔部を形成する薄膜の材料としては、通常、表面伝導形電子放出素子として使用されている広範囲のもの、例えば $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$ 、 $\text{PbO}$ 等の金属酸化物、 $\text{Be}$ 、 $\text{Ag}$ 等の金属、カーボン、その他各種の半導体など、自らが電子放出材料として適当なものが使用できる。しかし本発明では電

子放出にかかわる電子放出体を別に配設させることができるため、薄膜材料としては薄膜電極の機能性を有し、かつ通電処理により微小間隔部を形成することができる、どのような材料でも使用可能である。一般に高融点材料では通電処理時に多大の電力量とジュール熱を必要とする。しかし、第3図で示した例のように、段差部での薄膜を通電処理する方法では通電処理電力量が軽減できるため、高融点材料でも比較的容易に通電処理することができる。従って薄膜の材料としては、前記例以外に一般電極材料や導電性の高融点金属等も使用できる。例えば、 $\text{Cu}$ 、 $\text{Al}$ 、 $\text{Ni}$ 、 $\text{Pd}$ 、 $\text{Pt}$ 、 $\text{W}$ 、 $\text{Ta}$ 、 $\text{Re}$ 、 $\text{Cr}$ 、 $\text{Ti}$ 等であるが、この限りではない。

薄膜の膜厚は通常、表面伝導形電子放出素子に用いられる大きさであれば良く、その具体例を示すと、使用される材料の種類により異なるが通常 $0.01 \sim 5 \mu\text{m}$ 、好ましくは $0.01 \sim 2 \mu\text{m}$ 程度である。

また電子放出にかかわる電子放出体材料としては例えば電子を電界放出し易い物質や、二次電子放出し易い物質、或いは電子の衝撃によって電子

を放出しやすく、且つ耐熱性、耐腐蝕性に強い物質であれば良く、例えば、仕事関数が低く、耐熱性の高い $\text{W}$ 、 $\text{Ti}$ 、 $\text{Au}$ 、 $\text{Ag}$ 、 $\text{Cu}$ 、 $\text{Cr}$ 、 $\text{Al}$ 、 $\text{Pt}$ 、 $\text{Pd}$ 等の金属や、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$ 、 $\text{BaO}$ 、 $\text{MgO}$ 等の酸化物、もしくはカーボン或いは以上の混合物等であるが、この限りではない。

電子放出体を微粒子とする場合、その大きさは通常直径が数十 $\text{\AA}$ から数千 $\text{\AA}$ 程度が好ましい。また電子放出体を薄膜とする場合、その厚みはやはり数十 $\text{\AA}$ から数千 $\text{\AA}$ 程度が好ましい。

さらに電極部材としては、特に限定することなく通常使用される広範囲な電極材が使用できる。

また段差形成材や微粒子を含む支持体の材料としては、絶縁性材料が用いられる。例えば $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{TiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{Al}_2\text{O}_3$ 等であり、これらの被覆物もしくはこれらの混合物でもよい。さらに段差形成材においては基板自体の表面を加工し基板自体が段差形成材として使うこともできる。

段差形成材や微粒子を含む支持体の厚みは段差上に堆積する薄膜の膜厚及び成膜法によって調整

する必要がある。通常、段差部上の薄膜が電氣的に断絶せず、かつ段差部上の薄膜膜厚が他部分の薄膜膜厚に比べ薄くなるかまたは、膜質が変化することが必要である。一般的に、段差形成材や支持体の膜厚、すなわち段差部高さは、堆積する薄膜の $1/3$ から3倍程度が好ましい。

また基板材料に関しては、従来表面伝導形電子放出素子に用いられていた材料、例えば石英ガラス等の他に、薄膜の材料を選択することによって通電処理における発熱量を小さくすることができるため基板ガラス等、局所加熱による応力発生が大きな材料でも基板割れ等が発生せずに使用することができる。

以上説明した様に本発明では特に電子放出にかかわる電子放出体とそこへ高電界を与える微小間隔部を有する薄膜の選定材料が従来例に比べ格段に増大した。

よって、通電処理を行なう薄膜材料は、通電処理時の電力量や局所的に発生する熱の量、基板材料等に対する熱膨張係数や、また電子放出時におけ

る電極の耐電圧や耐熱、寿命等を考慮して多くの材料の中から選択することができる。また電子放出体においても、耐熱性、耐腐蝕性や低仕事関数材料等電子放出しやすい材料を多くの中から選択することができる。

#### 【実施例】

##### 実施例1

前述の第1図及び第2図に示す態様で本発明に係る電子放出素子を作製した。

製造方法としては、まず、 $\text{SiO}_2$ 液体コーティング剤（東京応化工業製OCD）に有機パラジウム化合物を含む有機溶媒（奥野製薬工業製キャタペーストCCP）を混合し、 $\text{SiO}_2$ ：Pdのモル比を約10：1に調製した溶液を作り、厚み約1 $\mu\text{m}$ の清浄な石英ガラス基板上に、スピンナーにより回転塗布した。その後約400℃で1時間焼成し、膜厚約1500ÅのPd微粒子7を含んだ $\text{SiO}_2$ 支持体8を得た。この後支持体層の表面をフッ酸水溶液によって約1秒間エッチングを行なった（第1図(a)参照）。

フッ酸水溶液でエッチングし、段差部を形成した（第3図(a)参照）。

次に、厚み1500Åの支持体8の段差部を覆う様に、厚み500ÅのNi薄膜3を堆積形成した（第3図(b)参照）。

以下実施例1と同様に電極1、2を形成し、通電処理を行ない微小間隔部5を形成し、電子放出素子とした。通電処理の消費電力は約0.2W程度であった。この素子の電子放出特性を測定した結果、放出電流 $I_e = 2\mu\text{A}$ 、放出効率 $\alpha = 5 \times 10^{-4}$ 程度の電子放出が得られた。

以上実施例1、2では微粒子7の材料として有機金属化合物の有機溶媒を用いたが、一次粒径が100Å程度の $\text{SnO}_2$ 微粒子を分散させた $\text{SiO}_2$ 液体コーティング剤でも、同様な電子放出素子を得ることができた。

##### 実施例3

第4図に示す様に、実施例1で用いた微粒子7を含む支持体8を用いずに、微粒子9を分散、塗布した基板4上に薄膜3と電極1、2を設け、通

次に、支持体8上にNiをマスクEB蒸着法により500Åの厚みで第2図に示す形で薄膜3を堆積形成した。この際第2図の形状のうち $l = 0.5\mu\text{m}$ 、 $w = 0.3\mu\text{m}$ とした（第1図(b)参照）。

さらに薄膜3の両端に、50Å厚みのCrを下敷き層とする、500Å厚みのAu電極1、2をマスク蒸着法により形成した（第1図(c)参照）。

その後電極1、2に通電処理を行ない、薄膜3の中央部に微小間隔部5を形成した。通電処理の消費電力は、約0.8W程度であった。

この素子の電子放出特性を測定した結果、放出電流 $I_e = 1\mu\text{A}$ 、放出効率 $\alpha$ （膜内電流に対する放出電流の比） $= 1 \times 10^{-4}$ 程度の電子放出が得られた。

##### 実施例2

第3図に示す様に実施例1で用いた微粒子7を含む支持体6を基板中心部まで取り除き段差部を有する支持体8として、以下実施例1と同様に電子放出素子を作製した。

支持体8は、フォトリソエッチング法により

電処理することにより電子放出素子を得ることができる。

まず基板4上に有機パラジウム化合物を含む有機溶媒（奥野製薬工業製キャタペーストCCP）をスピンナーにより回転塗布し、250℃で10分間焼成した。これによりPd微粒子9が基板4上に形成された（第4図(a)参照）。

次に実施例1と同様にして基板4上に厚み500ÅのNi薄膜3及びAu電極1、2を形成した（第4図(b),(c)参照）。その後、薄膜3の通電処理を行ない微小間隔部5を形成することによって電子放出素子を作製した（第4図(d)参照）。

この素子の電子放出特性を測定した所、実施例1と同様な結果が得られた。

##### 実施例4

第5図に示す様に、基板4の中央に段差形成材10により段差部を形成し微粒子を分散、塗布し、段差上に薄膜を設け通電処理することにより電子放出素子を得ることができる。

まず、 $\text{SiO}_2$ 液体コーティング剤（東京応化工業

製OCD)をスピンドナーにより基板4上に回転塗布した。その後約400℃で1時間焼成し、膜厚約1500ÅのSiO<sub>2</sub>から成る段差形成材を作り、フォトリソエッチング法により形成し、基板4上のほぼ中央部に段差部を設けた。さらに、基板4上に実施例3と同様にPd微粒子9を段差部に形成した(第5図(a)参照)。

次に実施例2と同様にして薄膜3、電極1、2を形成した(第5図(b),(c)参照)。その後、薄膜3の通電処理を行ない、微小間隔部5を形成することによって電子放出素子を作製した(第5図(d)参照)。

この素子の電子放出特性を測定した所、実施例2と同様な結果が得られた。

以上実施例3、4では微粒子9の材料として有機金属化合物の有機溶液を用いたが、一次粒径が100Å程度のSnO<sub>2</sub>微粒子を有機バインダーと共に有機溶液に分散溶解させたSnO<sub>2</sub>の分散液を用いても同様な電子放出素子を得ることができた。

#### 実施例5

第6図に示す様に基板4上に電子放出体として

電子放出膜12を用い、支持体11、13に挟持した段差部を形成し、段差上に薄膜を設け通電処理することにより電子放出素子を得ることができる。

まず基板4上にプラズマCVD法によりSi<sub>3</sub>N<sub>4</sub>絶縁層を厚み約1000Å堆積し、その上へ28蒸着法によりPd薄膜を厚み200Å堆積した。さらにSi<sub>3</sub>N<sub>4</sub>絶縁層を厚み約500Å堆積し、フォトリソエッチング法により形成し、基板4上のほぼ中心部に段差部を設けた(第6図(a)参照)。

次に実施例2と同様にして薄膜3、電極1、2を形成した(第6図(b),(c)参照)。その後、薄膜3の通電処理を行ない、微小間隔部5を形成することによって電子放出素子を作製した(第6図(d)参照)。

この素子の電子放出特性を測定した所、実施例2と同様な結果が得られた。

#### [発明の効果]

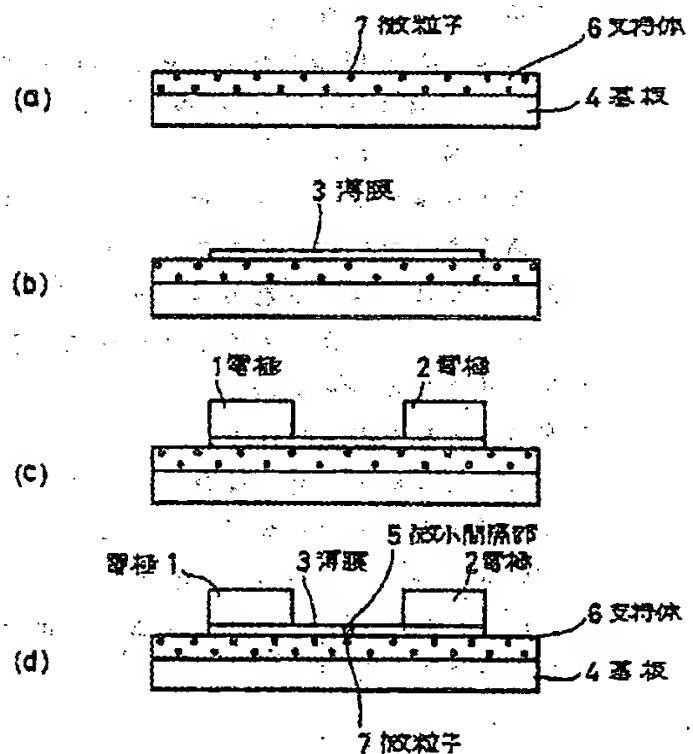
以上説明したように、本発明では、電子放出体を有する基材上の薄膜を通電処理することによって薄膜の微小間隔部を形成し、該微小間隔部に電

子放出体が位置する構造の電子放出素子とすることによって、電子放出にかかわる電子放出体と、そこへ電界を与える薄膜の微小間隔部とを製法及び材料で分離し、各々適した材料を選択、製造、設計することができる。

従って従来法では難かしいとされていた高融点材料等を電子放出材としたり、また通電処理における消費電力の小さい薄膜材料を用いることにより、大電力を必要とせずに通電処理が行なえる等の効果を有している。

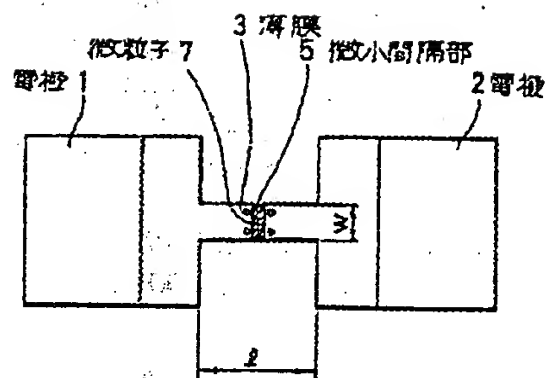
#### 4. 図面の簡単な説明

第1図は本発明の電子放出素子の製造工程図、第2図は本発明の電子放出素子の平面図、第3図～第5図は、各々本発明に係る別の態様の電子放出素子の製造工程図、第7図は従来の電子放出素子を示す平面図である。

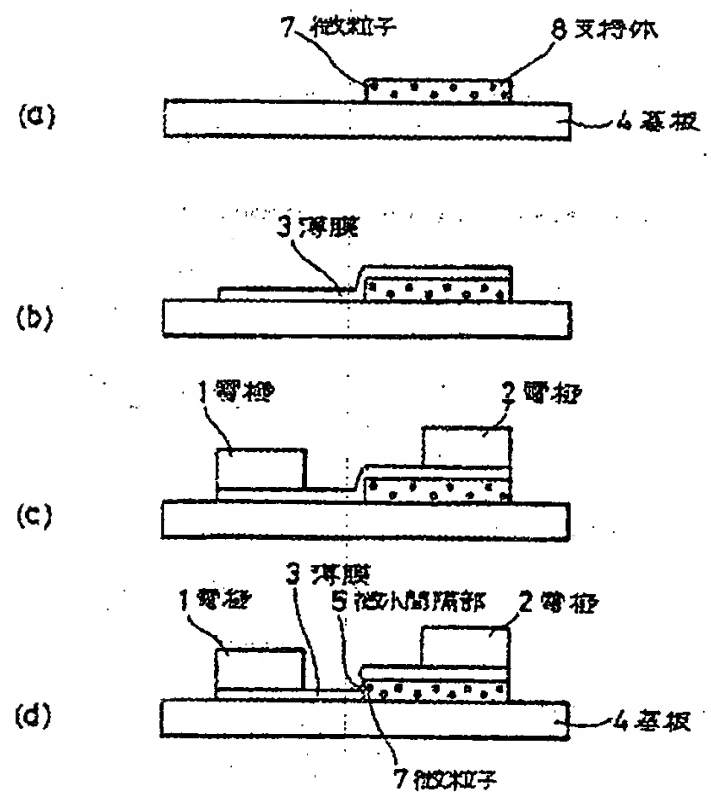


第1図

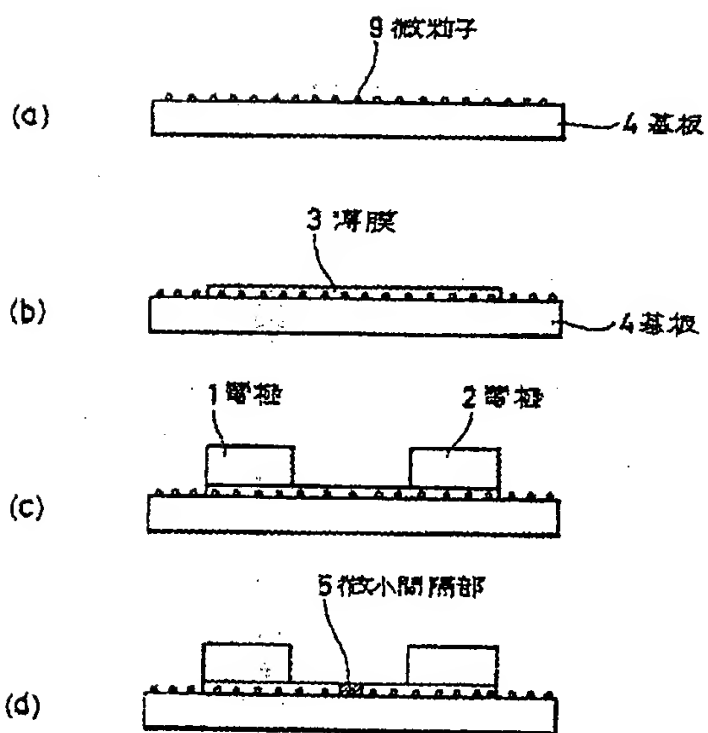
出願人 キヤノン株式会社  
代理人 盛田 善 雄



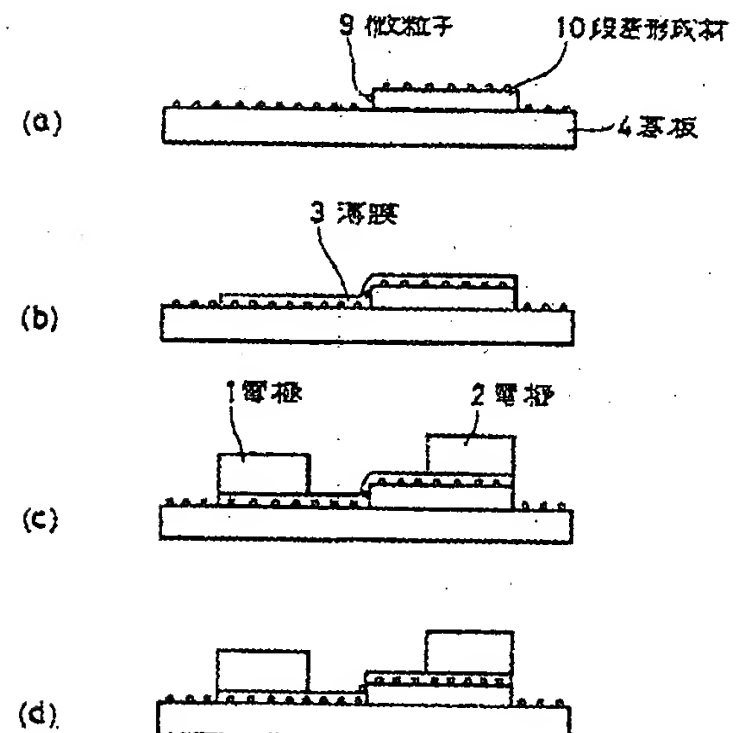
第2図



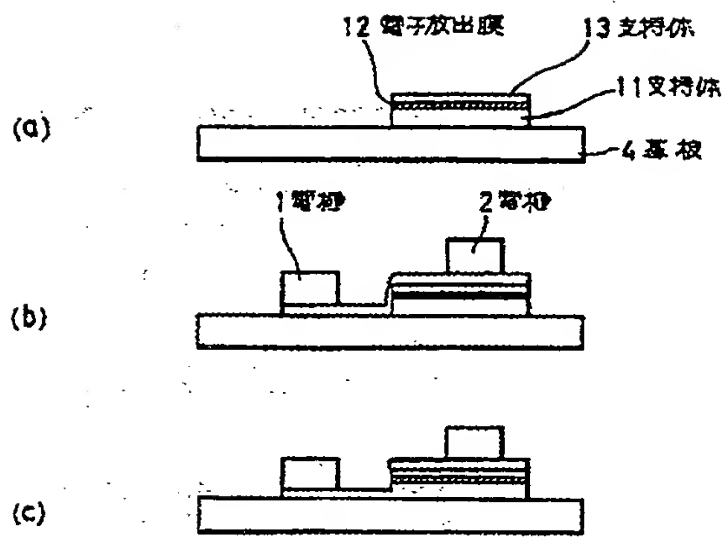
第3図



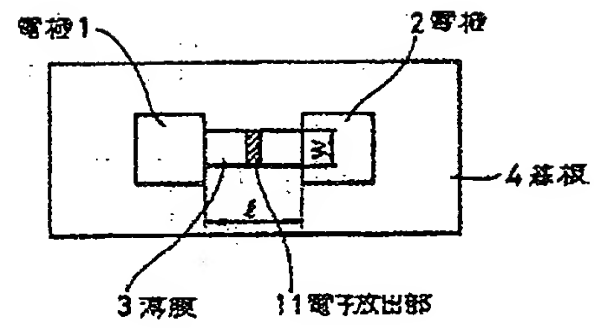
第4図



第5図



第6図



従来例  
第7図

特開平1-279540

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第1区分

【発行日】平成8年(1996)7月12日

【公開番号】特開平1-279540

【公開日】平成1年(1989)11月9日

【年通号数】公開特許公報1-2796

【出願番号】特願昭63-107568

【国際特許分類第6版】

H01J 1/30 A 9172-5E

37/04 Z 9376-5E

手続補正書

平成7年 4月27日

特許庁長官 高 島 章 昭

1. 事件の提示 特願昭63-107568号

2. 発明の名称 電子放出素子及びその製造方法

3. 補正をする者

事件との関係 特許出願人

東京都大田区下丸子3丁目30番2号

(100) キヤノン株式会社

代表者 西 平 洗 聖

4. 代理人

東京都千代田区有明1丁目4番1号 三信ビル227号室

豊田・徳田内外特許事務所 電話3501-2138

(5941) 井理士 豊 田 善 雄

5. 補正命令の日付 自発補正

6. 補正により増加する請求項の数 11

7. 補正の対象

明細書の「発明の名称」、「特許請求の範囲」、「発明の詳細な説明」、

「図面の簡単な説明」の欄、及び図面の第6図及び第7図

8. 補正の内容

8-1 発明の名称を「電子放出素子及びその製造方法」と訂正する。

8-2 特許請求の範囲を別紙の通り訂正する。

8-3 発明の詳細な説明を下記の通り訂正する。

(1) 明細書第2頁2行目

「電子放出素子、詳しくは」を「電子放出素子及びその製造方法、詳しくは」と訂正する。

(2) 同第3頁9行目

「第7図」を「第6図」と訂正する。

(3) 同第5頁12行目～第6頁11行目

「構成される。…素子に關する。」を次の文章に訂正する。

「構成される。

本発明は、微小開路を含む導電性膜を有する電子放出素子において、前記導電性膜が、微粒子を含む部材上に配置されていることを特徴とする電子放出素子、及び、該素子の製造方法であって、微粒子を含む部材上に配置された導電性膜に、微小開路を形成する工程を有することを特徴とする電子放出素子の製造方法を提供するものである。

即ち本発明は、電子放出にかかわる微粒子と、そこへ高電界を与える導電性膜の微小開路部とを製法及び材料で分離し、各々に適した材料を選択、製造設計することができる電子放出素子及びその製造方法である。」

(4) 同第8頁5～6行目

「電子放出体として」を削除する。

(5) 同第11頁7～8行目

「電子放出体である」を削除する。

(6) 同第11頁11～12行目

「や、電子放出体…形成した場合で」を削除する。

(7) 同第12頁1行目及び18行目

「電子放出体」を「微粒子」と訂正する。

(8) 同第13頁7行目

「電子放出体を微粒子とする場合、その大きさは」を「本発明において、微粒子の大きさは」と訂正する。

(9) 同第14頁15行目及び第16頁2～3行目

「電子放出体」を「微粒子」と訂正する。

(10) 同第19頁下から2行目～第20頁16行目

「実施例5…結果が得られた。」を削除する。

(11) 同第20頁18行目、第20頁最下行～第21頁1行目、第21頁2行目

「電子放出体」を「微粒子」と訂正する。

8-4 図面の簡単な説明を下記の通り訂正する。

(1) 明細書第21頁14行目

「第6図」を「第5図」と訂正する。

(2) 同第21頁15行目

「第7図」を「第6図」と訂正する。

8-5 図面を下記の通り訂正する。

(1) 第6図を別紙の通り訂正する。

(2) 第7図を削除する。

出素子の製造方法。

(14) 前記微粒子が配置された導電性膜が、一對の電極間に配置されている請求項8～13のいずれかに記載の電子放出素子の製造方法。

(15) 前記電子放出素子が、表面伝導形電子放出素子である請求項8～14のいずれかに記載の電子放出素子の製造方法。

特許請求の範囲

(1) 微小空隙を含む導電性膜を有する電子放出素子において、前記導電性膜が、微粒子を含む部材上に配置されていることを特徴とする電子放出素子。

(2) 前記導電性膜は、前記微粒子を含む部材にて基板上に形成された段差部を越えようとして配置されており、前記微小空隙が、該段差部に形成されている請求項1に記載の電子放出素子。

(3) 前記微粒子の直径が、数十 $\mu$ m～数千 $\mu$ mの範囲内にある請求項1又は2に記載の電子放出素子。

(4) 前記微小空隙が、1 $\mu$ m以下である請求項1～3のいずれかに記載の電子放出素子。

(5) 前記微小空隙が、前記導電性膜の一部に形成された亀裂である請求項1～4のいずれかに記載の電子放出素子。

(6) 前記導電性膜が、一對の電極間に配置されている請求項1～4のいずれかに記載の電子放出素子。

(7) 前記電子放出素子が、表面伝導形電子放出素子である請求項1～6のいずれかに記載の電子放出素子の製造方法。

(8) 電子放出部を含む導電性膜を有する電子放出素子の製造方法において、微粒子を含む部材上に配置された導電性膜に、微小空隙を形成する工程を有することを特徴とする電子放出素子の製造方法。

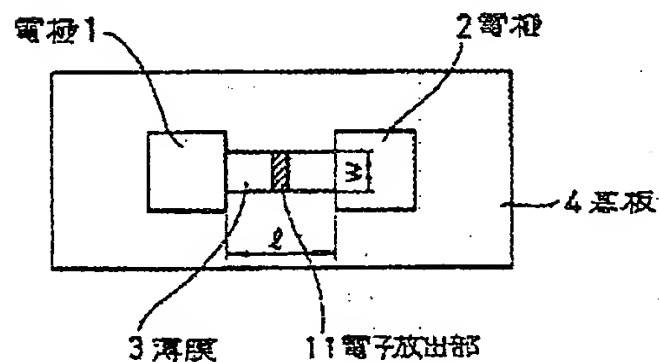
(9) 前記導電性膜が、前記微粒子を含む部材にて基板上に形成された段差部を越えようとして配置されている請求項8に記載の電子放出素子。

(10) 前記微粒子の直径が、数十 $\mu$ m～数千 $\mu$ mの範囲内にある請求項8又は9に記載の電子放出素子の製造方法。

(11) 前記微小空隙が、1 $\mu$ m以下である請求項8～10のいずれかに記載の電子放出素子の製造方法。

(12) 前記微小空隙が、前記導電性膜の一部に形成された亀裂である請求項8～11のいずれかに記載の電子放出素子の製造方法。

(13) 前記微粒子が配置された導電性膜に微小空隙を形成する工程が、該導電性膜に電圧を印加する工程を有する請求項8～12のいずれかに記載の電子放



従来例  
第6図